**ПРОТОКОЛ № 4**

**Тема: Изследване на ефективността на кеш паметта при компютърни системи с архитектура симетричен мултипроцесор**

Име: Станислав Бисеров Стоянов

Факултет: ФПМИ

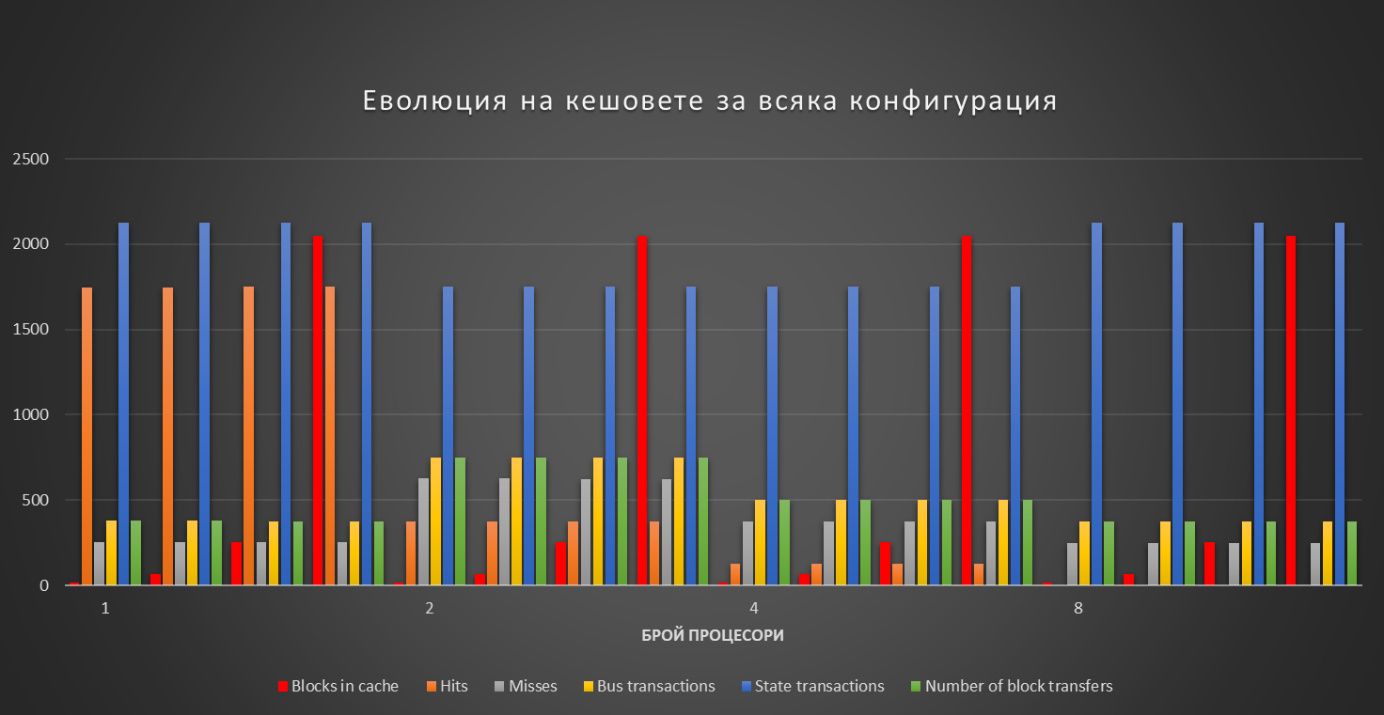
Специалност: ИСН

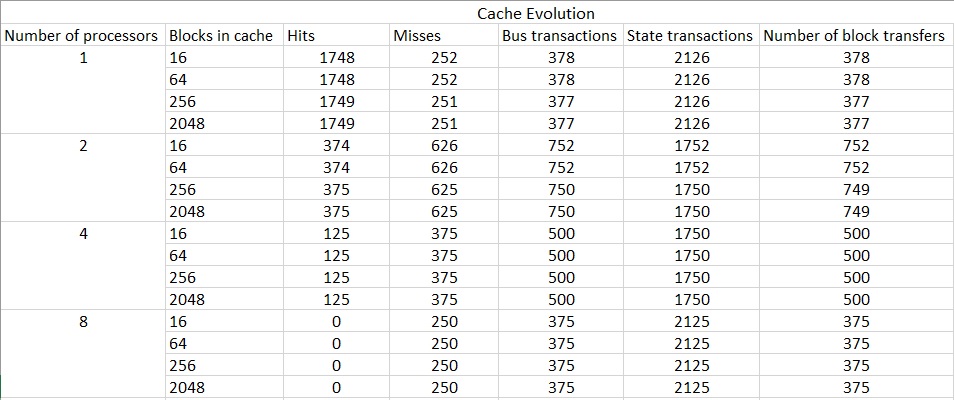
Фак. №: 471218066

Група: 76

Дата: 22.10.19г.

1. **Цел на упражнението -** Целта на лабораторното упражнение е да изследва ефективността на кеш паметите в симетрични мултипроцесори. На база на архитектурните конфигурации, описани в табл. 1.1 от заданието се прави оценка на влиянието на размера на кеш паметта и броя на процесорите върху трафика по шината и липсите (miss rate) в кеша.
2. **Задачи за изпълнение**
   1. Конфигуриране и симулации на симетричните мултипроцесори зададени в таблица 1.1 от заданието
   2. Оценка на влиянието на размера на кеш паметта и броя на процесорите върху трафика по шината и липсите (misses)
   3. Графично представяне посредством диаграма на еволюцията на кеш паметта за всяка от изследваните архитектурни конфигурации
3. **Получени резултати от проведените експериментални изследвания**





Таблично представяне на данните

1. **Изводи -** Ефективността на кеш паметите в симетричните мултипроцесори се определя от попаденията (hit rate) и липсите (miss rate) в кеша. След проведените ексеперименти със симулатора SMP Cache се установя зависимост между данните за попаденията и тя е следната – при увеличаване броя на процесорите намаляват попаденията като при осем процесора се стига до липса на подадения. Също така при два процесора се вижда ръст на броя на липсите. По принцип трафикът на шината би трябвало да бъде по-голям при повече на брой процесори, но резултатите показват постепенен ръст и спад. Същата зависимост се отнася и за State transactions и Number of block transfers. Като заключение се оказва, че броят на блоковете в кеша не е от съществено значение, съдейки по еднаквите стойности. Всички проведени експерименти използват стратегия за поддържане на кохерентност – запис през кеша (write-through).